Università degli Studi di Napoli Federico II

Scuola Politecnica e delle Scienze di Base

Dipartimento di Ingegneria Elettrica e Tecnologie dell’Informazione

Corso di Laurea Magistrale in Ingegneria Informatica

Immagine che contiene cerchio, simbolo, schizzo

Descrizione generata automaticamente

Elaborato di Architettura dei Sistemi Digitali

*Prof.ssa Alessandra De Benedictis*

a.a. 2023-24

Studenti:

<nome cognome matricola >

Sommario

[Capitolo 1: reti combinatorie elementari 3](#_Toc149039886)

[Esercizio 1: Multiplexer 16:1 3](#_Toc149039887)

[Esercizio 1.1 3](#_Toc149039888)

[Progetto e architettura 3](#_Toc149039889)

[Implementazione 3](#_Toc149039890)

[Simulazione 3](#_Toc149039891)

[Sintesi su board di sviluppo 3](#_Toc149039892)

[Timing analysis 3](#_Toc149039893)

[Appendice 4](#_Toc149039894)

[<Componente 1> 4](#_Toc149039895)

[Progetto e architettura 4](#_Toc149039896)

[Implementazione 4](#_Toc149039897)

# Capitolo 1: reti combinatorie elementari

## Esercizio 1: Multiplexer 16:1

### Esercizio 1.1

Progettare, implementare in VHDL e testare mediante simulazione un **multiplexer indirizzabile 16:1**, utilizzando un approccio di progettazione per composizione a partire da **multiplexer 4:1.**

#### Progetto e architettura

<descrizione dell’approccio di progetto utilizzato, disegno architetturale del sistema e dei suoi componenti, descrizione delle funzionalità>

#### Implementazione

<codice VHDL dei componenti significativi: componenti elementari riutilizzati in diversi progetti vanno inseriti in un’appendice>

#### Simulazione

<descrizione dei testbench di maggiore rilevanza utilizzati per testare il sistema e i suoi componenti e discussione dei principali risultati in simulazione>

#### Sintesi su board di sviluppo

<se richiesto: descrizione dell’architettura complessiva necessaria per la sintesi su board di sviluppo (nel caso ci siano eventuali componenti aggiuntivi per la gestione dell’I/O); file di constraint utilizzato per il progetto>

#### Timing analysis

<se richiesto: discussione dei risultati della timing analysis sui circuiti realizzati>

# Appendice

## <Componente 1>

### Progetto e architettura

<descrizione dell’approccio di progetto utilizzato, disegno architetturale del sistema e dei suoi componenti, descrizione delle funzionalità>

### Implementazione

<codice VHDL dei componenti significativi: componenti elementari riutilizzati in diversi progetti vanno inseriti in un’appendice>